

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-206415
 (43)Date of publication of application : 13.08.1993

(51)Int.CI.

H01L 27/118
 H01L 27/04
 H01L 27/092

(21)Application number : 03-318755
 (22)Date of filing : 03.12.1991

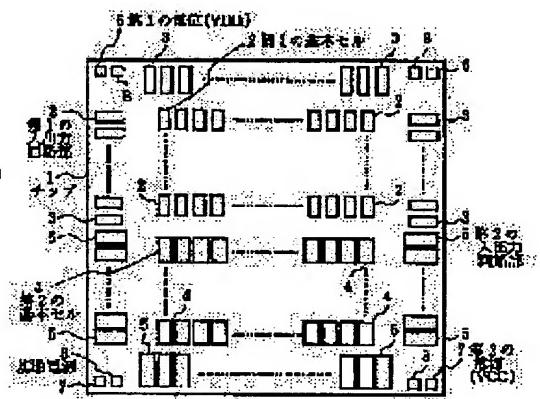
(71)Applicant : NEC CORP
 (72)Inventor : TANAKA TOSHIAKI

(54) CMOS GATE ARRAY

(57)Abstract:

PURPOSE: To mount, on one chip, CMOS logic circuits which are operated by different power-supply voltages.

CONSTITUTION: First power supplies 6 and second power supplies 7 which are different are arranged at corner parts on a chip 1. First fundamental cells 2 which are composed of MOS transistors suitable for the first power supplies 6 are arranged in the central part. First input/output circuit parts 3 which correspond to the first fundamental cells 2 are arranged at peripheral parts. In the same manner, second fundamental cells 4 which are composed of MOS transistors suitable for the second power supplies 7 are arranged in the central part. Second input/output circuit parts 5 which correspond to the second fundamental cells 4 are arranged at peripheral parts. In this manner, a CMOS logic circuit which is operated by the first power supplies 6 and a CMOS logic circuit which is operated by the second power supplies 7 are mounted on an array half by half.



LEGAL STATUS

[Date of request for examination] 12.12.1997

[Date of sending the examiner's decision of rejection] 21.11.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-206415

(43) 公開日 平成5年(1993)8月13日

(51) Int.CI.⁵

識別記号 序内整理番号

F I

技術表示箇所

H01L 27/118

27/04

A 8427-4M

27/092

9169-4M

H01L 21/82

M

7342-4M

27/08

321

J

審査請求 未請求 請求項の数 1 (全4頁)

(21) 出願番号

特願平3-318755

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 田中 敏昭

東京都港区芝五丁目7番1号日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

(22) 出願日

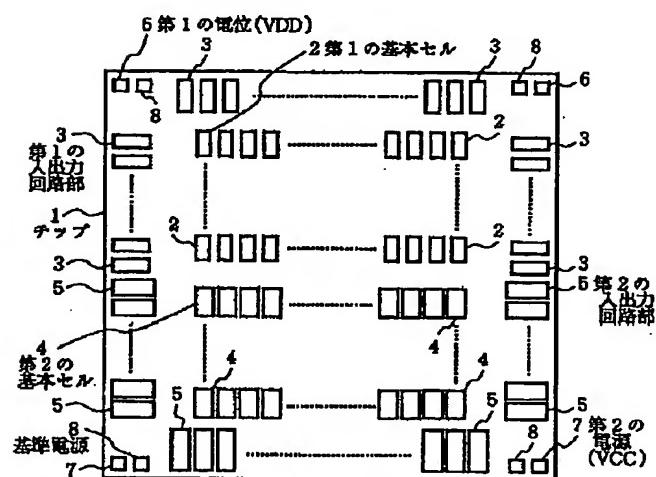
平成3年(1991)12月3日

(54) 【発明の名称】 CMOSゲートアレイ

(57) 【要約】

【目的】異なる電源電圧で動作するCMOS論理回路を1チップ上に搭載することにある。

【構成】異なる第1の電源6と第2の電源7をチップ1のコーナー部に配置し、第1の電源6に適したMOSトランジスタから成る第1の基本セル2を中央部に且つ第1の基本セル2に対応する第1の入出力回路部3を周辺部に配置する。同様に、第2の電源7に適したMOSトランジスタから成る第2の基本セル4を中央部に且つ第2の基本セル4に対応する第2の入出力回路部5を周辺部に配置する。このように、第1の電源6で動作するCMOS論理回路と第2の電源で動作するCMOS論理回路とをアレー上に半分ずつ搭載する。



【特許請求の範囲】

【請求項 1】 異なる第 1 および第 2 の電源並びに基準電源と、前記第 1 の電源より給電される第 1 の基本セルおよび第 1 の入出力回路部と、前記第 2 の電源より給電される第 2 の基本セルおよび第 2 の入出力回路部とを有し、前記第 1 の基本セルを形成するMOSトランジスタと前記第 2 の基本セルを形成するMOSトランジスタのしきい値電圧およびチャネル長を異ならせ且つ前記第 1 の入出力回路部を形成するMOSトランジスタと前記第 2 の入出力回路部を形成するMOSトランジスタのしきい値電圧およびチャネル長を異ならせることを特徴とするCMOSゲートアレイ。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】 本発明は半導体集積回路のCMOSゲートアレイに関し、特に複数種類の電源を備えたCMOSゲートアレイに関する。

【0 0 0 2】

【従来の技術】 従来のCMOSゲートアレイはチップの中央にMOSトランジスタからなる基本セルをアレー状に配置し、その周囲に入出力回路部を配置したり、電源パッドを配置して構成される。

【0 0 0 3】 図3は従来の一例を示すCMOSゲートアレイチップの平面図である。図3に示すように、従来のCMOSゲートアレイチップ1aは第1の電源(VDD)6と第2の電源(VCC)7および基準電源(GND)8と、第1の電源6より給電される基本セル2と、第1の電源6または第2の電源7より給電される入出力回路部3とを有している。電源6～8はチップ1aの四隅に分散され、基本セル2を中心とし入出力部回路部3を周辺部に配置している。しかも、中央部に集中して配置される基本セル2および周辺部に沿って配置される入出力回路部3はそれぞれ同一形状且つ同一サイズである。

【0 0 0 4】 図4は図3に示す基本セルの平面図である。図4に示すように、基本セル2はP型拡散層9および多結晶シリコン層(以下、ポリシリコンと称す)11より成るPchMOSトランジスタ12と、N型拡散層10およびポリシリコン11より成るNchMOSトランジスタ13とから構成されている。

【0 0 0 5】かかるCMOSゲートアレイは第1の電源6と第2の電源7の両電圧で動作させるため、PchMOSトランジスタ12とNchMOSトランジスタ13のしきい値電圧およびチャネル長は、第1の電源6と第2の電源7のどちらか低い電源電圧で動作するのに適した値に設定されている。今、第1の電源6を第2の電源7より低電圧であると仮定すると、PchMOSトランジスタ12およびNchMOSトランジスタ13は第1の電源6で動作するに最適なトランジスタとなり、第2の電源7で動作するに最適なトランジスタよりもし

きい値電圧が低く且つチャネル長が長いMOSトランジスタとなる。また、入出力回路部3を構成するPchMOSトランジスタおよびNchMOSトランジスタも同様に、基本セル2のPchMOSトランジスタ12およびNchMOSトランジスタ13と同じしきい値電圧およびチャネル長を有するMOSトランジスタとなる。

【0 0 0 6】

【発明が解決しようとする課題】 上述した従来のCMOSゲートアレイを構成する基本セルや入出力部は低電圧動作に適したしきい値電圧およびチャネル長を有するMOSトランジスタで構成されている。このため、第1の電源(VDD)で動作するCMOS論理回路と、第2の電源(VCC)で動作するCMOS論理回路とを1チップのCMOSゲートアレイ上に搭載するのが困難であるという欠点がある。

【0 0 0 7】 本発明の目的は、かかる異なる電源電圧で動作するCMOS論理回路を1チップ化することのできるCMOSゲートアレイを提供することにある。

【0 0 0 8】

【課題を解決するための手段】 本発明のCMOSゲートアレイは、異なる第1および第2の電源並びに基準電源と、前記第1の電源より給電される第1の基本セルおよび第1の入出力回路部と、前記第2の電源より給電される第2の基本セルおよび第2の入出力回路部とを有し、前記第1の基本セルを形成するMOSトランジスタと前記第2の基本セルを形成するMOSトランジスタのしきい値電圧およびチャネル長を異ならせ且つ前記第1の入出力回路部を形成するMOSトランジスタと前記第2の入出力回路部を形成するMOSトランジスタのしきい値電圧およびチャネル長を異ならせるように構成される。

【0 0 0 9】

【実施例】 次に、本発明の実施例について図面を参照して説明する。

【0 0 1 0】 図1は本発明の第1の実施例を示すCMOSゲートアレイチップの平面図である。図1に示すように、本実施例はチップ1の中央部にMOSトランジスタからなる第1の基本セル2と第2の基本セル4を配置し、周辺部に第1および第2の基本セル2、4にそれぞれ対応する第1の入出力回路部3と第2の入出力回路部5とを配置する。また、チップ1の四隅には、第1の電源(VDD)6と第2の電源(VCC)7および基準電源8を組合せて配置する。すなわち、第1の電源(VDD)6はチップ1の上辺の左端および右端に置き、第1の電源6より給電される第1の基本セル2はチップ1の上半分にアレイ状に配置するとともに、さらに第1の電源6より給電される第1の入出力回路部3は左辺および右辺の上半分と上辺に配置する。一方、第2の電源(VCC)7はチップ1の下辺の左端および右端に置き、第2の電源7より給電される第2の基本セル4はチップ1の下半分にアレイ状に配置するとともに、第2の

電源 7 より給電される第 2 の入出力回路部 5 は左辺および右辺の下半分と下辺に配置している。

【0011】かかるCMOSゲートアレイにおいて、第2の電源7は第1の電源6より高電圧であるため、第1の基本セル2を構成するMOSトランジスタは第2の基本セル4を構成するMOSトランジスタよりしきい値電圧が低く且つチャネル長が長い。同様に、第1の入出力回路部3を構成するMOSトランジスタは第2の入出力回路部5を構成するMOSトランジスタよりしきい値電圧が低く且つチャネル長が長い。

【0012】例えば、第1の電源6の電圧を1V、第2の電源7の電圧を5Vと想定すると、第1の基本セル2のPchMOSトランジスタのしきい値電圧は-0.65V、チャネル長は2.4μmとなり、NchMOSトランジスタのしきい値電圧は0.6V、チャネル長は2.2μmとなるのに対し、第2の基本セル4のPchMOSトランジスタのしきい値電圧は-0.7V、チャネル長は1.8μmとなり、NchMOSトランジスタのしきい値電圧は0.7V、チャネル長は1.6μmとなる。

【0013】このように、本実施例によれば、異なる第1および第2の電源6、7の電圧で動作する二つのCMOS論理回路を1チップ化することが可能になる。

【0014】図2は本発明の第2の実施例を示すCMOSゲートアレイチップの平面図である。図1に示すように、本実施例は第1の電源(VDD)6をチップ1の上辺の左端とチップ1の下辺の右端に配置し、第2の電源(VCC)7をチップ1の上辺の右端とチップ1の下辺の左端に配置したこと、第1の電源6より給電される第1の基本セル2と第2の電源7より給電される第2の基本セル4をチップ1の中央部に交互に配置したこと、および第1の電源6より給電される第1の入出力回路部3と第2の電源7より給電される第2の入出力回路部5を交互にチップ1の周辺部に配置したことが前述した第1の実施例と比較して相違している。本実施例では、第1の基本セル2と第2の基本セル4が交互に配置されているため、電源電圧の異なる回路をチップ上の任意の位置

に作成することが出来る。また、第1の入出力回路部3と第2の入出力回路部5はチップ1の周辺部に交互に配置されているため、チップ1の周辺の任意の位置に電源電圧や入出力電圧の異なる入出力回路を設置することができる。

【0015】上述した二つの実施例は、現在3V系で動作するCPUICと1V系で動作するデコーダICとの2つのチップで実現されているページング受信機等の1チップ化に適している。

10 【0016】

【発明の効果】以上説明したように、本発明のCMOSゲートアレイは、第1および第2の異なる電源と、第1の電源に適したしきい値電圧やチャネル長を持つMOSトランジスタで形成した第1の基本セルおよび第1の入出力回路部と、第2の電源に適したしきい値電圧やチャネル長を持つMOSトランジスタで形成した第2の基本セルおよび第2の入出力回路部とを有することにより、異なる電源電圧で動作するCMOS論理回路を1チップ化できるという効果がある。

20 【図面の簡単な説明】

【図1】本発明の第1の実施例を示すCMOSゲートアレイチップの平面図である。

【図2】本発明の第2の実施例を示すCMOSゲートアレイチップの平面図である。

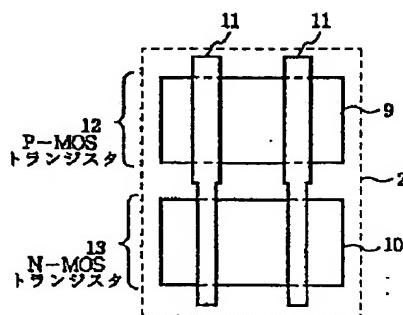
【図3】従来の一例を示すCMOSゲートアレイチップの平面図である。

【図4】図3に示す基本セルの平面図である。

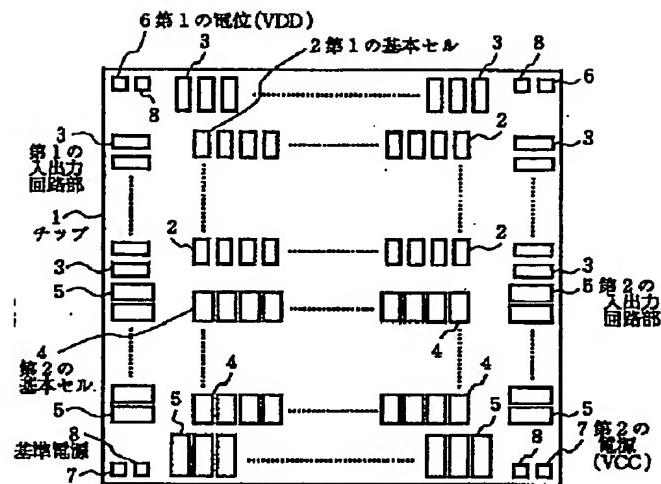
【符号の説明】

- | | |
|----|---------------|
| 1 | チップ |
| 30 | 2 第1の基本セル |
| | 3 第1の入出力回路部 |
| | 4 第2の基本セル |
| | 5 第2の入出力回路部 |
| | 6 第1の電源 (VDD) |
| | 7 第2の電源 (VCC) |
| | 8 基準電源 (GND) |

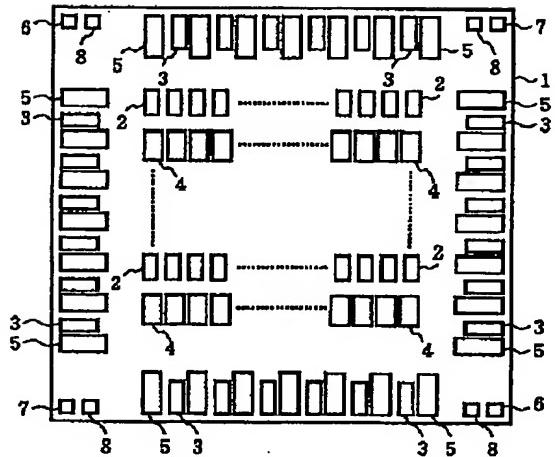
【図4】



【图1】



[図2]



[図3]

